

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-6370

(43)公開日 平成6年(1994)1月14日

(51)Int.Cl. ⁵ H 04 L 12/48 H 04 Q 3/52 11/04	識別記号 101 Z 9076-5K	府内整理番号 8529-5K 9076-5K	F I H 04 L 11/ 20 H 04 Q 11/ 04	技術表示箇所 Z R
審査請求 未請求 請求項の数3(全14頁)				

(21)出願番号 特願平4-159147	(71)出願人 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日 平成4年(1992)6月18日	(72)発明者 黒田 敏子 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
	(72)発明者 遠藤 昇 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
	(72)発明者 大内 敏哉 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
	(74)代理人 弁理士 小川 勝男
	最終頁に続く

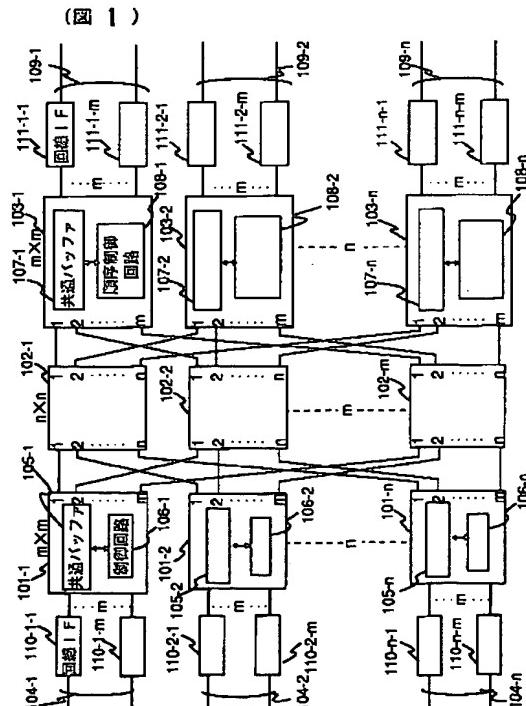
(54)【発明の名称】 パケットスイッチングシステム

(57)【要約】

【目的】 本発明の目的はパケット網における大容量スイッチングシステム構成方式に関し、特にATMを用いた通信網において低セル損失率、低呼損率、小遅延時間特性を実現する高効率大容量交換機の構成方式を提供することにある。

【構成】 ATM 3段スイッチにおいて、1段目単位スイッチ(101)に共通バッファ(105)及び2段目単位スイッチへのセルの分配を制御する制御回路(106)を設け、3段目単位スイッチ(103)に、セル順序逆転を補正する順序制御回路(108)を設けることにより、達成される。

【効果】 2段目単位スイッチへの均等な負荷分散が図れるので、2段目単位スイッチでのセル損失率を下げることが出来る。また、セルごとにスイッチ内経路が異なるために生じるセルの順序逆転においても、その逆転量が減少するので、順序制御のために必要とするバッファ量も削減できる。



【特許請求の範囲】

【請求項1】それが複数の入力線と複数の出力線とを有し、入力線から入力されたパケットを何れかの出力線に選択的に送出するよう動作する複数の単位スイッチが少なくとも3段のスイッチ群を構成し、単位スイッチ間では予め論理チャネルを設定することなく、パケット毎に通過単位スイッチ間リンクが変更され、第1段目の各単位スイッチは、複数の入力回線から入力されたパケットを複数の出力線に順次に出力し、第2段目の各単位スイッチは、入力線から入力された各パケットをヘッダ情報により決まる出力線に出力し、第3段目の各単位スイッチは、入力線から入力された各パケットのヘッダ情報により出力線を決定し、各出力線毎にパケットの出力順序制御を行うようにしたパケットスイッチングシステムにおいて、上記第1段目の各単位スイッチが、入力パケットを多重化するための手段と、多重化手段から出力されたパケットを一時的に保持するためのバッファと、各クロックサイクル毎にパケット出力の開始出力線位置を所定の順序でシフトしながら、上記バッファから読み出したパケットを複数の出力線に順次に出力するパケット出力制御手段とを有することを特徴とするパケットスイッチングシステム。

【請求項2】前記第1段目の複数の単位スイッチが、パケットの各出力タイミングにおいて互いに異なる第2段目単位スイッチにパケットを出力するように、前記出力線の選択動作を行うことを特徴とする請求項1に記載のパケットスイッチングシステム。

【請求項3】前記第1段目の各単位スイッチにおいて、パケット入力時にパケットにタイムスタンプ及び、シーケンス番号を付け、同第3段目単位スイッチにおいてパケットの出力順序制御を行なう際に、前記タイムスタンプ及び、シーケンス番号を用いることを特徴とする、請求項1に記載のパケットスイッチングシステム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、パケットスイッチングシステムに関し、更に詳しくは、非同期転送モード(AMT: Asynchronous Transfer Mode)の通信網に適用されるパケットスイッチングシステムに関する。

【0002】

【従来の技術】広帯域ISDNでの通信方式として各種の研究機関で検討が進められているAMT網においては、情報が固定長のパケット(以下「セル」とする)形式で伝送され、伝送速度の異なる各種メディア(音声、画像、データ等)の情報通信が行われる。

【0003】AMT網では、従来の回線交換と異なり、セルを運ぶタイムスロットが8KHzのフレームの特定位置に固定されず、非同期にセルの伝送と交換動作が行われるため、AMTスイッチングシステムの同一出力回

線に対して、同時刻に多数のセルが集中する場合がある。集中時にセルが廃棄されないように、AMTスイッチングシステムでは、バッファメモリを設置し、回線容量を越えるセルをそこで待たせるようにしているが、設置できるバッファメモリ容量には限界があるため、セルのトータルスループットが回線容量を越える状態が長時間継続するトラヒック条件下では、セルの廃棄を完全に回避することは困難である。

【0004】大容量のスイッチングシステムは、一般に、複数の単位スイッチを多段接続することにより構成される。例えば、それが $m \times k$ の入出力(m 本の入力と k 本の出力)を備える n 台の単位スイッチを並列に配列して1段目スイッチ群を構成し、 $n \times y$ の単位スイッチを k 台並列配置して2段目スイッチ群を構成し、 $k \times g$ の単位スイッチを y 台並列配置して3段目スイッチ群を構成し、1段目と2段目の単位スイッチ群間、及び2段目と3段目の単位スイッチ群間をそれぞれ交互に接続することにより、 $m n \times g y$ の大容量のスイッチングシステムが構成される。

【0005】各1段目単位スイッチの入力回線から入力されたセルは、同セルに付加された出力回線情報に基づき、順次、次段の単位スイッチへとスイッチングされ、最終段の単位スイッチにおいて目的の出力回線へ出力される。これにより、任意の入力回線から任意の出力回線への交換が可能となる。

【0006】従来、上記多段接続形態を適用したAMTスイッチングシステムにおいては、回線交換と同様に、呼毎にスイッチングシステム内経路を設定する方式(以下、経路固定方式と呼ぶ)が提案されている。しかし、この経路固定方式には、以下に述べる制御の複雑さ、利用率の低下といった問題点がある。

【0007】まず、経路固定方式では、呼設定時にその呼に属するセルの通過する単位スイッチとリンクが一意に決定される。従って、その呼に属する(同一のVPI/VCIを持つ)セルは同一の経路を通過することになる。そして経路固定方式では、従来の回線交換同様、呼毎に、固定の帯域(異なる呼に属するセルの衝突による品質劣化を回避するために、その呼の平均レートにマージンを持たせた帯域)を、各リンクに要求する。その為、入出力間に複数の経路が存在する場合は、大容量化に伴い、スイッチングシステム内の経路設定処理が複雑になる。

【0008】また、単位スイッチ間の内部リンクの総容量が十分でない場合、入出力回線とも空き容量があるにもかかわらず、単位スイッチ間リンクの閉塞により呼が受付不可能になる状態(内部リンクブロック)が生じ、この内部リンクブロックは呼損率の増加につながる。そして、端数出線効果により高速呼ほど内部リンクブロックの発生率は高くなる。経路固定方式において、この内部リンクブロックを解消(ノンブロック化)する為に

は、中間段のスイッチ及びリンクを、例えば、その前後段の2倍用意し、かつリンク速度を2倍速にすることが要求され、ハード量の増加、スイッチの高速化が必要とされる。

【0009】上記問題を解決するため、電子情報通信学会技術研究報告SSE89-173「大規模ATMスイッチにおける制御方式の検討」において、呼毎の経路設定を行なわず、セルレベルで経路制御を行なう方式が提案されている。具体的には、セルの宛先とは無関係に、1段目単位スイッチの入出力回線の接続パターンを時間経過に従って変更する。例えば、1段目単位スイッチの入力回線1と接続する出力回線を、1クロックサイクルで、回線番号1、2、3、……、m、1、2、……の順で変更する。ここで言う「1クロック」は、1個のセルの転送に要する時間を意味し、例えば回線速度が149.76Mb/sの場合、1クロックは約2.83μsecとなる。

【0010】上記方式によれば、大容量化に伴い複雑化する呼のスイッチングシステム内経路の設定処理が必要となる。また、ハードを高速化、増設することなくリンクブロックを解消することができる。しかしながら、このように呼毎のスイッチングシステム内経路を定めない方式では、同一呼に属するセルが異なる経路を通って出力回線に接続されるため、各2段目単位スイッチの待ち行列の差により、セルの出力順序が入力順序と異なることがある。ATMにおいてはセルの順序保存が要求されるので、最終段のスイッチにおいてセルの順序制御（つまり、入力順序と、出力順序を同一にする）を行なう必要がある。

【0011】尚、2段目単位スイッチでは、入力セルの宛先に応じ、出力回線を収容する3段目単位スイッチにセルがスイッチングされる。また、3段目単位スイッチでは、前述のセル順序の逆転を補正するための順序制御が行われ、出力回線に送られる。具体的には、3段目単位スイッチのバッファ内に、該バッファ内での滞在時間が基準値（以下、最大滞在時間）を越すセルが現われるまでは、セルの送出を行なわず、入力セルの書き込みのみを行ない、格納されているセルが最大滞在時間を越えると、該バッファに格納されているセルの中で、最も古いタイムスタンプ（1段目単位スイッチにおいて付加される、セルのスイッチングシステムへの入力時刻）を持つセルを選定し、該セルを要求される出力回線へ送出する。上記方式により順序制御がなされ、セルは入力順序を保ち出力される。

【0012】

【発明が解決しようとする課題】上記従来方式は、経路設定処理及び、リンクブロックを解決し、各1段目単位スイッチは、入力回線に集団的に到着したセルを複数の2段目単位スイッチに分配する機能を備えているが、複数の1段目単位スイッチから特定の2段目単位スイッチ

へのセル集中の問題について考慮していない。例えば、n台の1段目単位スイッチから、同一の3段目単位スイッチへ向かうセルが同一の2段目単位スイッチに集中した場合、2段目単位スイッチにおける負荷が不均一になり、各2段目単位スイッチの待ち行列の長さに大きな差を生ずる。その結果、2段目単位スイッチでセル損失率が増加したり、1つの経路での遅延時間と他の経路での遅延時間との差が大きくなり、3段目単位スイッチで順序制御に要するバッファ量が大きくなるという問題が発生する。逆に、低セル損失率やバッファ量の削減を実現するためには、設定する回線利用率を低くしなければならず、これは呼損率の増大という問題につながる。

【0013】また、3段目単位スイッチにおける順序制御では、一律にタイムスタンプのみで順序制御を行なっているため、順序逆転を起こしていないセル、つまり、既に出力可能であるセルまで遅延を与えられ、遅延時間の増加を招く。

【0014】本発明の目的は、セル損失率および呼損率の小さい改良されたパケットスイッチングシステムを提供することにある。本発明の他の目的は、遅延時間特性の改良された大容量のパケットスイッチングシステムを提供することにある。

【0015】

【課題を解決するための手段】上記目的を解決するために、本発明のパケットスイッチングシステムでは、複数の1段目単位スイッチから到着するセルが特定の2段目単位スイッチに集中しないように、各1段目単位スイッチが、互いに他の1段目単位スイッチのセル出力状況を考慮して、出力セルを2段目単位スイッチに分配するようにしたことを特徴とする。具体的には、例えば、各1段目単位スイッチが複数の入力線から入力されたセルをバッファリングし、1クロックサイクルで複数の出力回線にシーケンシャルに分配する。セル分配の開始位置となる2段目単位スイッチはクロック毎に変えられ、更に、同一クロックでは、各1段目単位スイッチ毎に、異なる2段目単位スイッチからセルの分配が行なわれる。

【0016】また、3段目単位スイッチにおける順序制御では、シーケンス番号をタイムスタンプと併用して、用いることを特徴とする。具体的には、各3段目単位スイッチは、実際にセルを格納する共通バッファ（複数出力回線間で共用）と、出力回線及び、セルが入力された1段目単位スイッチの組対応の順序制御用バッファ（以下、論理バッファ）群を持つ。論理バッファ内には、タイムスタンプ、及び、対応するセルが格納されている共通バッファ内のアドレス（以下BA）を格納する。

【0017】順序逆転が生じた場合、先に交換機に入力されたセルよりも早く3段目単位スイッチに到着したセルは、共通バッファに格納され、遅れているセル（以下、遅延セル）の3段目単位スイッチへの到着を待つ。また、要求される遅延品質を満たすためにしきい値（ス

イッティングシステム内の、最大許容遅延時間)を設け、バッファ内に格納されているセルで、スイッティングシステム内の遅延時間がしきい値を超えたものは、遅延セルが未到着であっても読み出しを可能とする(この場合、最大許容遅延時間を越えた遅延セルは廃棄される)。

【0018】1クロック周期(セル送出時間)で出力回線毎に以下の処理を行なうことにより、セルは共通バッファから読み出される。各1段目単位スイッチ対応の論理バッファの中から、シーケンス番号により直前のセルが既に出力されているセル、もしくはスイッティングシステム内の遅延時間がしきい値を超えて、読み出し可能であるセルを1つだけ選ぶ。選ばれたセルの中から、タイムスタンプが最も古いセルを共通バッファから読み出し、出力回線へ送出する。該当するセルがないときは、空セルを送出する。

【0019】

【作用】本発明によるパケットスイッティングシステムによれば、並列配置されたn台の1段目単位スイッチが、それぞれ入力セルをバッファリングした後、m台の2段目単位スイッチにシーケンシャルにセルを分配するようになっているため、特定の1段目単位スイッチに集団的にセルが到着した場合でも、これらのセルは特定の2段目単位スイッチに集中することはない。また、各1段目単位スイッチ毎に、セルの分配サイクルの開始位置が変えてあるため、特定の2段目単位スイッチでのセルの集中と、それに伴うセル廃棄、到達順序の逆転量を小さくでき、3段目単位スイッチに用意すべきバッファメモリ容量の増加を抑制することができる。

【0020】また、3段目単位スイッチにおけるセル順序制御においても、タイムスタンプと併用してシーケンス番号を用いるため、順序制御を起こしていないセルは、シーケンス番号により、即読み出し可能と判断され、遅延時間の増加を防ぐことができる。

【0021】

【実施例】以下、本発明の実施例を図面を参照して詳細に説明する。

【0022】第1実施例：

(1) セルフォーマットの構成

図2は、ATM網で伝送される固定長のパケット(以下、セルという)の構成を示す。伝送路上を流れるセル201は53バイトの長さを有し、5バイトのヘッダと、48バイトの情報部とからなる。上記ヘッダは、GFC(Generic FlowControl)、VPI(Virtual Path ID)、VCI(Virtual Channel ID)、PT(Payload Type)、CLP(Cell loss Priority)、及び、HEC(HeaderError Correction)からなり、上記VCI/VPI情報に基づいてスイッチ内のルーティング制御が行われる。

【0023】以下、スイッティングシステム内部の単位ス

イッティングシステムに接続する回線を入・出力線、外部からスイッティングシステムに接続される回線を入・出力回線と呼ぶ。

【0024】本発明のパケットスイッティングシステムでは、回線対応部においてヘッダ変換を行なう際に、セル201にスイッチ内ルーティング用ヘッダ203を付加し、セルをルーティング用ヘッダ付きセル202の形にして、1段目スイッチへ送出する。スイッチ内ルーティング用ヘッダ203は、1段目単位スイッチの識別番号(以下、S1と示す)、最終段(3段目)の単位スイッチの識別番号(S3)、及び、出力回線番号(OP)により、構成される。

【0025】また、各1段目単位スイッチが順序制御用ヘッダ付加機能を有し、入力セル202に順序制御用ヘッダ205を付加する。順序制御用ヘッダ205は、シーケンス番号(SN)と、タイムスタンプ(TS)により、構成される。

【0026】以下、上記ルーティング用ヘッダ(S1、S3、及び、OP)203、及び、順序制御用ヘッダ(SN、及び、TS)205を付加ヘッダ206と呼ぶ。本発明のスイッティングシステム内では、セルは、付加ヘッダ付きセル204の形でスイッティングされる。

【0027】本発明では、2段目の複数の単位スイッチにできるだけ均等に負荷が分散されるようするために、同一のVCIを持つ複数のセルを、異なった経路を通して最終段の出力回線に送る。経路の違いによるスイッティングシステム内のセル順序の逆転が生じる可能性があるため、3段目の各単位スイッチにおいて、入力セルに付加されたSN及び、TSに基づいてセル順序の補正を行う。また、2段目から3段目の各単位スイッチは、入力セルの付加ヘッダに含まれるS1、S3、OPの内容に基づいて、ルーティング動作を行う。

【0028】(2) 交換機の構成と動作

図1は、本発明による3段の複数の単位スイッチからなるスイッティングシステムの構成を示す。各段は、それぞれ並列配置された複数個の単位スイッチ101-1~101-n、102-1~102-m、103-1~103-nからなる。また、前記単位スイッチ群の前後に、回線対応部(回線IF)110及び、111が設置される。

【0029】回線対応部110は、光ファイバ104により伝送された情報からセル201を取り出し、ヘッダ変換を施し、ルーティング用ヘッダ付きセル202の形式とした後、各1段目単位スイッチ101へ送出する。

【0030】1段目の単位スイッチ群101-1~101-nは、入力セル202に順序制御用ヘッダ205を付加し、内部セル204の形式とした後、2段目の単位スイッチ群へ分配する。

【0031】2段目の単位スイッチ群102-1~102-mは、1段目の単位スイッチ群から入力されたセル

204の付加ヘッダ部206が示すルート情報に基づいて、目的出力回線が収容されている特定の3段目単位スイッチに上記セルを送出する。3段目の単位スイッチ群103-1~103-nは、前段スイッチ群から送られて来たセル204の順序制御を行い、付加ヘッダ部206を除去して伝送路上のセルフォーマット201に戻した後、各セルを目的の出力回線に対応する回線対応部111に送出する。回線対応部111は、セル201を光ファイバ上の伝送形態に変換し、出力回線109へ送出する。

【0032】図3は、回線対応部110の機能ブロック図である。回線対応部110は、SDH (Synchronous Digital Hierarchy) 301、保守試験回路302、UPC (Usage Parameter Control) 303、ヘッダ変換回路304、及び、セル計測回路305からなる。SDH 301は、光ファイバにより伝送された情報から、ATMセル201を抽出する。保守・試験回路302は、スイッチングシステムの保守及び、機能試験を行なう。UPC 303は、セルのVPI/VCI情報からユーザ申告値違反の有無等を調べる。セル計測回路305はVCI毎セル数の計測を行なう。ヘッダ変換回路304は、VPI/VCIの変換及び、HECの変換を行なう。

【0033】上記回線対応部110において、ヘッダ変換回路304は、セル201にスイッチ内ルーティング用ヘッダ203を付加させる機能を備える。具体的には、図4に示すように、ヘッダ変換回路304にVCI対応のルーティング情報(S1、S3、OP)を保持する付加ヘッダテーブル403を設ける。VPI/VCI変換回路401は、入力セル201にVPI/VCI変換を施し、セル本体201をHEC変換回路402へ、VCI情報を付加ヘッダテーブル403へ送る。HEC変換回路402は入力セル201のHECフィールドの変換を行ない、レジスタ404へ送る。付加ヘッダテーブル403は、VPI/VCI変換回路401から送られてきたVCIに対応するルーティング情報(S1、S3、OP)を読み出し、レジスタ404へ送る。レジスタ402において、前記ルーティング情報は、ルーティング用ヘッダ203としてセル本体201に付加される。ルーティング用ヘッダ203を付加されたセル202は、1段目単位スイッチへ送られる。

【0034】図5は、1段目単位スイッチの機能ブロック図である。1段目単位スイッチは、多重化部(以下MUX)501、順序制御用ヘッダ付加回路502、共通バッファ503、分離部(以下DMUX)504、及び、出力制御回路505からなる。m本の入力回線104から並列的に入力されたセル202は、MUX501によって多重化され、スイッチ内ヘッダ付加回路502に向かう。

【0035】順序制御用ヘッダ付加回路502は、遅延

素子507、レジスタ508、クロック制御部(CLK)509、TSカウンタ510、空きセル判定部511、SNカウンタ512から成る。MUX501から入力されたセル情報は、遅延素子507を介し、レジスタ508に送られる。また、同セル情報のうち、VCI/VPIフィールドの内容は、TSカウンタ510、空きセル判定部511、SNカウンタ512に供給される。

【0036】クロック制御部509は、1セル送出時間(以下クロックとする)毎にTSカウンタ510へ信号を送る。TSカウンタ510は、入力セルに付加するTSの値を記憶しており、CLK509から信号が来ると、1ずつカウントアップし、その値は、VPI/VCI情報の入力を読み出し信号として読み出され、レジスタ508へ送られる。

【0037】空きセル判定部511は上記VCI/VPI情報により入力セルが空きセルか否かの判定をし、空きセルではなかったときに、SNカウンタ512及び、出力制御回路505にセル入力信号を送る。SNカウンタ512は、スイッチングシステムの出力回線109の番号別にSNを管理しており、セル入力信号を受信すると、上記VCI情報に基づいて出力回線対応のSNを読み出し、これをカウントアップして出力すると共に、更新されたSNを元のアドレス位置に記憶する。

【0038】TS、及び、SNは、レジスタ508に転送され、前記多重化装置501から、遅延素子507を介しレジスタ508に送られたセルのヘッダ部に付加される。

【0039】レジスタ508において、付加ヘッダ付きとなったセル204は共通バッファ503に入力される。共通バッファ503は、1クロックサイクル内に到達する複数のセルを一時的に格納し、これらのセルをDMUX504に出力する。共通バッファ503におけるセルの格納および、読み出しは、出力制御回路505により与えられる書き込みアドレス(W/A)及び、読み出しあдрес(R/A)に従って行われる。

【0040】出力制御回路505は、空アドレス FIFO513、セレクタ514、及び、517、各出力回線109対応の同期合わせ用バッファ515、及び、R/A格納用バッファ516、回線選択回路518、クロック制御部519、読み出しクロック520とからなる。但し、セレクタは、複数の入力線と1本の出力線に接続され、外部からの指示に従い、上記入力線群から1本の入力線を選択し、出力線に接続する機能を有する、もしくは、1本の入力線と複数の出力線に接続され、外部からの指示に従い、上記出力線群から1本の出力線を選択し、入力線を接続する機能を有するものとする。

【0041】前述の空きセル判定部511から送られたセル入力信号は、回線選択回路518及び、空きアドレス FIFO513に送られる。空きアドレス FIFO513はセル入力信号を受信すると、格納されている共通

バッファの空きアドレスをW/Aとして読み出し、共通バッファ503へ送る。また、同W/Aは読み出しアドレスデータとして、セレクタ514を介し同期合わせ用バッファ515にも送られ、回線選択回路518により与えられる回線番号に従い、格納される。

【0042】クロック制御部519は、各クロックサイクルの開始タイミングで初期値更新信号及び、読み出し信号を発生し、それぞれ回線選択回路518、同期合わせ用バッファ515へ送る。回線選択回路518は、回線N_{o.} カウンタ521と、初期値テーブル522からなる。

【0043】初期値テーブル522は、上記初期値更新信号に応答して、初期値を発生し、回線N_{o.} カウンタ521は、上記初期値で示される回線番号を起点として、1サイクル分の回線番号を順次にセレクタ514へ出力する。これらの回線番号の出力は、空きセル判定部511から出力制御回路505に出力されるセル入力信号に同期して行われる。

【0044】同期合わせ用バッファ515は、MUX501での多重により各入力回線から入力されるセルに生じた位相のずれを吸収するためのものであり、クロック制御部519からの読み出し信号を受信すると、m個のバッファが同時に、格納している情報をR/A格納用バッファ516へ送る。

【0045】読み出しクロック520は1クロック毎にセレクタ517及び、DMUX504に読み出し信号を送る。セレクタ517は信号を受け取ると、R/A格納用バッファ516から順次にR/Aを読み出し、共通バッファ503へ送る。DMUX504は信号を受け取ると、セレクタ517から送られて来るR/Aに従い、共通バッファ503からセルを読み出し、順次に出力線へ送出する。

【0046】上述した回線N_{o.} カウンタ521への初期値の供給と、回線N_{o.} カウンタ521からの回線番号の出力は、例えば、図7に示す如く、単位スイッチ毎に初期値が異なり、且つ、各クロックサイクルで初期値が循環的にシフトするようにしておく。例えば、スイッチ101-1に着目すると、1クロック目の初期値が「1」で回線番号が1、2、3、4、……mと変化し、2クロック目では回線番号が「2」を初期値として順次に変化し、……、mクロック目では初期値が「m」となり、次のクロックで再び「1」に戻るように循環的に変化させる。

【0047】上記方式によるセル入出力の関係を図6に示す。(a)は、全ての入力回線にセルが存在する場合のセル出力パターンであり、(b)は、何れかの入力回線が空きセルの場合のセル出力パターンである。何れかの入力回線が空きセルの場合、本方式によれば一旦共通バッファに格納するため、入力セルをその入力回線とは無関係に、順次選択された出力線に送出することがで

き、あるクロックにおいて空きセルが送られる出力線、及び、2段目スイッチは、クロック毎に着実に変化し、各出力線、即ち各2段目単位スイッチへの負荷の均等化が図れる。

【0048】また、次のスイッチ101-2では、1クロック目の初期値を「2」、2クロック目を「3」、……、mクロック目を「1」とすることによって、出力線の選択がスイッチ101-1とは、空きセルが送られる出力線、及び、2段目スイッチがずれるように初期値を循環的に変化させる。これと同様に、スイッチ101-3～101nでも、回線番号の選択が他のスイッチとずれるように、初期値を順次にシフトした形で循環的に変化させる。

【0049】上記構成によれば、例えば、クロックサイクルm k + 1に単位スイッチ101-1に到着したセルは、先頭セルが出力線「1」に、2番目セルは出力線「2」に、3番目セルは出力線「3」、……に順次に出力される。この期間に、単位スイッチ101-2に到着したセルは、先頭セルが出力線「2」に、2番目セルは出力線「3」に、3番目セルは出力線「4」、……に出力される。

【0050】各单位スイッチのサイズはm × mであるから、同一クロックに1つの単位スイッチに入力されるセル数は最大m個である。任意の時刻において、各单位スイッチはそれぞれ異なる出力線を選択し、且つ、各クロックサイクルでの選択開始回線が異なるようになっているため、2段目の特定の単位スイッチにセルが集中するではなく、負荷が均等に分散される。

【0051】2段目の単位スイッチ群102-1～102-mは、付加ヘッダ付きセル204が入力されると、付加ヘッダ部206のS3に従って、そのセルを3段目スイッチに送る。2段目単位スイッチとしては、例えば、特開H03-023740に示されるセル・スイッチングシステムを用いることが出来る。

【0052】本実施例では、上述した1段目の単位スイッチ群において2段目単位スイッチ群への負荷分散を図っているが、同一の3段目単位スイッチに向かうセルが複数個、同一2段目単位スイッチに入力されると、2段目の単位スイッチにおいてセルの待ち行列長に差が生じ、これがセル順序逆転の原因となる。3段目の単位スイッチ103において、セル順序の逆転の補正を行う。

【0053】図8は、3段目単位スイッチの機能ブロック図である。3段目単位スイッチは、多重化部(以下MUX)802、書き込み制御回路803、論理キュー804、読み出し制御回路805、共通バッファ806、及び、分離部(以下DMUX)807からなる。

【0054】m本の入力線801から入力されたセル204は、MUX802により多重化され、書き込み制御回路803に送られる。書き込み制御回路803は、遅

延素子809、付加ヘッダ解読部810、空アドレスFIFO811、アドレス算出部812、SNテーブル813からなる。MUX802から入力されたセル本体204は、遅延素子808を介し、共通バッファ806へ送られる。また、同セル情報のうち、付加ヘッダ部206は、付加ヘッダ解読部810へ送られる。

【0055】付加ヘッダ解読部810は、付加ヘッダ206を解読し、SNをアドレス算出部811へ、S1、OPをSNテーブル813及び、論理キュー804へ、TSを論理キュー804へ送る。SNテーブル813は、出力回線毎、入力1段目単位スイッチ別に、最後に読み出されたセルのSN(以下、SN')を記憶しており、S1及び、OPが送られてくると、対応するSN'を読み出し、アドレス算出部812へ送る。

【0056】アドレス算出部812は、付加ヘッダ解読部810から送られてきたSNと、SNテーブル813から送られてきたSN'の差をとり、その差D(D=SN-SN')を、論理キュー804へ書き込みアドレスとして送る。但し、論理バッファ815内のアドレスは全て1番から始まる。ここで、Dが論理キュー804のバッファ容量よりも大きい(論理バッファが飽和状態にある)場合、もしくは、Dが負になる(現在格納処理を行なっているセルよりも後にスイッチへ入力されたセルの読み出しが、既に終了している)場合は、論理キュー804にセル廃棄信号を送る。また、空アドレス FIFO811に、セル入力信号(もしくは、セル廃棄信号)を送る。

【0057】空アドレスFIFO811は、セル入力信号を受け取ると、空アドレスをセルの書き込みアドレス(W/A)として共通バッファ806へ送る。また、同アドレスをデータ(共通バッファ内アドレス。以下、BA)として、論理キュー804へ送る。

【0058】共通バッファ806は、入力セル204を、空アドレスFIFO811から送られてきたW/Aに従って格納する。空きアドレスFIFO811にセル廃棄信号が送られた場合、共通バッファにセル廃棄信号が送られ、入力セル204は廃棄される。

【0059】論理キュー804は、セレクタ814、816-1~816-m、及び、論理バッファ群815(出力回線別、入力SW1対応)からなる。セレクタ814は、付加ヘッダ解読部810から送られてくるS1、OPに従い、付加ヘッダ解読部810から送られてきたTS、空アドレスFIFO811から送られてきたBAを、対応する論理バッファ815-OP-S1へ、送出する。論理バッファ815-OP-S1はTS、BAを、アドレス算出部812により与えられる書き込みアドレスDに従い、格納する。

【0060】以上の動作により、3段目単位スイッチに入力されたセル204は、予め設定された最大許容遅延時間以下の遅延差で入力された場合においては、論理バ

ッファ815の1段目単位スイッチに入力された順序に対応する位置に格納される。

【0061】図9は、読み出し制御回路805の詳細を示す。読み出し制御回路805はPriority Encoder 901、OPカウンタ904、遅延素子908、最小TS選択回路909、現在時刻カウンタ911、読み出し可否判定回路912、クロック制御部(CLK)905、910、及び、セレクタ902、903、906、907からなる。

10 【0062】クロック制御部905は、1クロックにm回、OPカウンタ904と最小TS選択回路909に信号を送る。OPカウンタ904は、次に読み出しを行なうべき出力回線番号iを保持しており、クロック制御部905から信号を受け取ると、現在保持している出力回線番号iをPriority Encoder 901、DMUX807、及び、遅延素子908を介しセレクタ907へ送り、出力回線番号を1ずつカウントアップする。

【0063】Priority Encoder 901は、OPカウンタ904から出力回線番号iが送られてくると、セレクタ902を介し、論理バッファ815-i-1からセルの格納状況を読み出し、セルが格納されているアドレスの中で最小のアドレスAをさがす。求めたAを、読み出し可否判定回路912及び、セレクタ906を介し、論理バッファ815-i-1へ送る。論理バッファ815-i-1は、アドレスAに格納されているTS及び、S1を、セレクタ906を介し、読み出し可否判定回路912へ送る。読み出し可否判定回路912は、「A=1」もしくは「現在時刻-最大許容遅延時間≥TS」が正のとき、TS及び、S1を最小TS選択回路909へ送る。

20 【0064】上記と同様の処理が、論理バッファ815-i-2~nに対して行なわれる。

【0065】最小TS選択回路909は、クロック制御部905から信号が送られてくると、読み出し可否判定回路912から送られてきたTSの中から最小のものを求め、そのS1、及び、Aをセレクタ907へ送る。

【0066】セレクタ907は、OPカウンタ904によって与えられる出力回線番号iに従い、最小TS選択回路909から送られてきたS1及び、Aを、セレクタ816-iへ送る。セレクタ816-iは、与えられたS1、Aに従い、該当する論理バッファ816-i-S1からアドレスAに格納されているB/Aを読み出し、読み出しアドレス(R/A)として共通バッファ806へ送る。

40 【0067】論理バッファ816-i-S1は、格納している情報をAだけ前方へシフトさせる。また、共通バッファ806は、送られてきたR/Aに従いセル204を読み出し、セル本体201をDMUX807へ、付加ヘッダ部206をSNテーブル813へ送る。SNテーブル813は、送られてきた付加ヘッダ206からS

1、O.P.、S.N.を読み出し、S.1、O.P.に対応する位置のS.N'をS.N.に更新する。DMUX 807は、O.P.カウンタ904から与えられた出力回線番号に従い、共通バッファ806から送られてきたセル201を出力回線808へ送出する。

【0068】以上により、入力セルの目的出力回線への転送が終了する。セル201は、回線対応部111により、再び光ファイバ上の伝送形態に変換され、送出される。

【0069】(3) 効果

図10に本実施例による効果の一例を示す。グラフは、スイッチサイズ 64×64 のATM3段スイッチ（単位スイッチサイズ 8×8 ）において、セルが最大速度 7.5 Mb/s で連続して発生する区間（アクティブ区間）と、全くセルが発生しない区間（アイドル区間）が交互に出現し、それぞれの区間長が幾何分布に従い、アクティブ区間に発生するセルの平均個数が10、両区間を平均したセルの平均発生速度が 7.5 Mb/s であるようなセル発生源を16個、回線速度 150 Mb/s の出力回線に、出力回線利用率が80%になるように多重した条件下で、シミュレーションを行った結果である。

【0070】本結果によると、従来方式も本発明の方式も、セルの順序逆転が発生する確率はほぼ同じである。しかし、逆転の大きさを比較すると、従来方式の方が本方式よりも大きいことがわかる。この順序逆転の大きさは、3段目スイッチにおけるセルの順序制御に必要とするバッファ容量と等しく、本方式ではセル損失率= 10^{-4} を満たすために出力回線毎に $n \times 43$ セル分（n：1段目スイッチ数）のバッファ容量を用意すればよいが、従来方式では $n \times 55$ セル分のバッファ容量を必要とすることになる。つまり、本発明方式を使用することにより、バッファ量を約3/4に削減することが可能となる。

【0071】

【発明の効果】以上述べたように、本発明によれば、1段目単位スイッチにおいて、互いに他の1段目単位スイッチにおけるセルの分配を考慮して2段目単位スイッチへセルを分配しているので、各2段目単位スイッチへの均等な負荷分散が図れる。その結果、各2段目単位スイッチの待ち行列長の差が小さくなり、2段目単位スイッ

チに用意するバッファ量の削減、及び、2段目単位スイッチにおけるセル損失率の低減につながる。また、各待つ行列長の差によって生じるセルの順序逆転の大きさが小さくなり、3段目単位スイッチにおける順序制御に必要とするバッファ量も削減できる。

【0072】シミュレーションの結果では、従来方式と比べ、順序制御に必要とするバッファ量は $3/4$ に削減できる。従って、低セル損失率、遅延時間の改善、バッファ量の削減を実現しつつ回線利用率も高く設定出来、

10 高速のハードウェアを用いることなく、大容量のスイッチングシステムを構築することができる。

【0073】また、3段目単位スイッチにおける順序制御において、シーケンス番号を用いることによって、従来のタイムスタンプのみを用いて行なう順序制御の際に生じる余分な遅延をセルに与えることなく、出力時のセルの順序性を保証することができる。

【図面の簡単な説明】

【図1】本発明を用いたATM3段スイッチのシステムブロック図である。

20 【図2】ATMにおけるセルの構成図及び、本方式によるヘッダ変換後のセルと付加ヘッダの構成図である。

【図3】回線対応部の機能ブロック図である。

【図4】回線対応部内のヘッダ変換回路の機能ブロック図である。

【図5】本発明を用いたATM3段スイッチの、1段目単位スイッチのシステムブロック図である。

【図6】本発明を用いたATM3段スイッチの、1段目単位スイッチにおけるセルの入出力の関係を示す図である。

30 【図7】1段目単位スイッチでのセルの分配方法を示す表である。

【図8】本発明を用いたATM3段スイッチの、3段目単位スイッチのシステムブロック図である。

【図9】3段目単位スイッチ内の読み出し制御回路のシステムブロック図である。

【図10】本発明による効果を示すための図である。

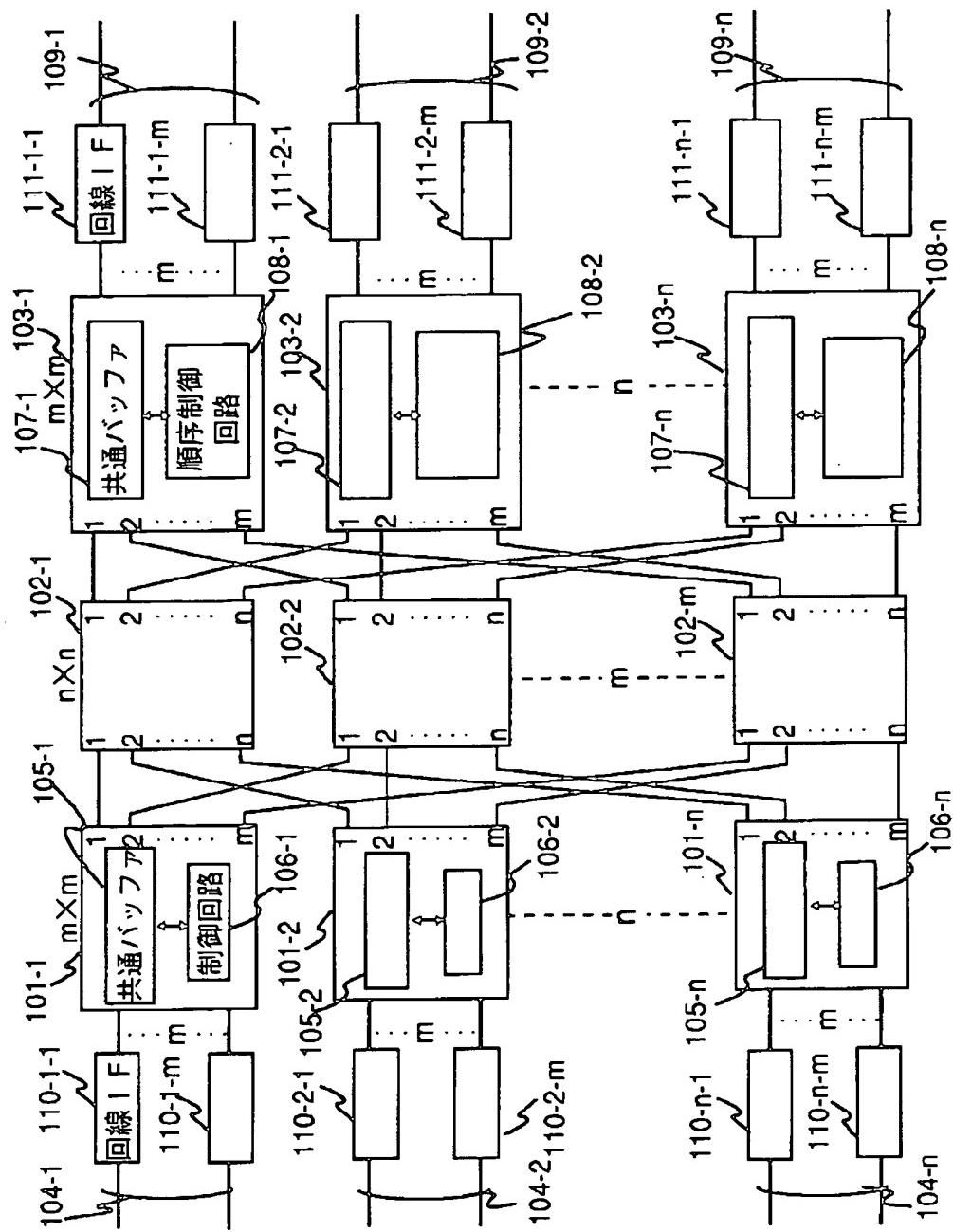
【符号の説明】

101…1段目単位スイッチ、102…2段目単位スイッチ、103…3段目単位スイッチ、105…共通バッ

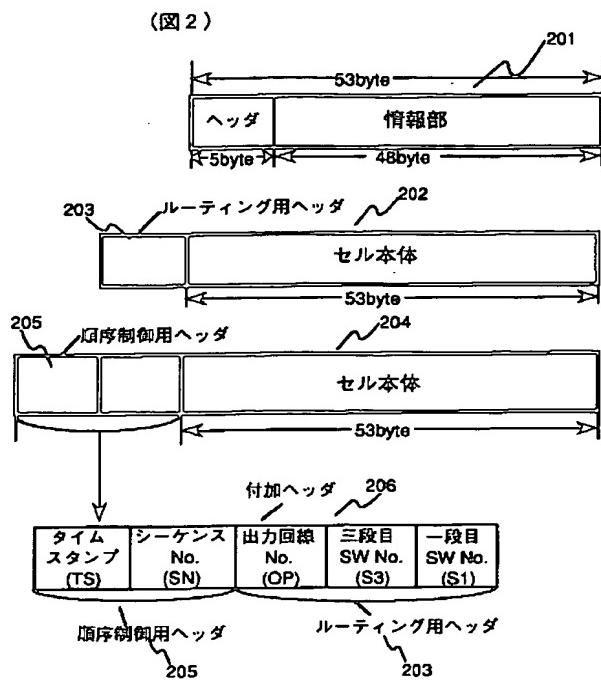
40 ファ、106…制御回路、108…順序制御回路

【図1】

(図一)



〔図2〕



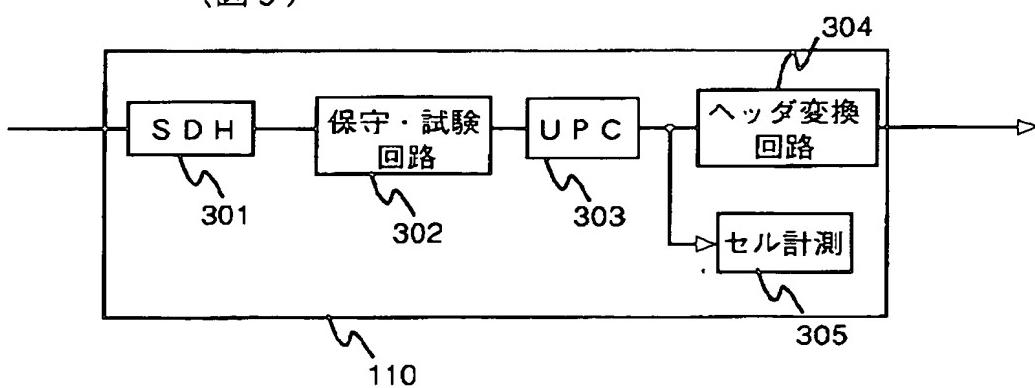
[图7]

1段目SW 時刻 (クロック)	101-1	101-2	...	101-n
mk+1	1→2→···→m	2→···→1		n→···→n-1
mk+2	2→3→···→m-1	3→···→2		n+1→···→n
mk+3	3→4→···→m-1→2	4→···→3		n+2→···→n+1
.	.	.		.
.	.	.		.
.	.	.		.
mk+m	m→1→···→m-1	1→···→m		n-1→···→n-2

(k=0,1,2, · · ·)

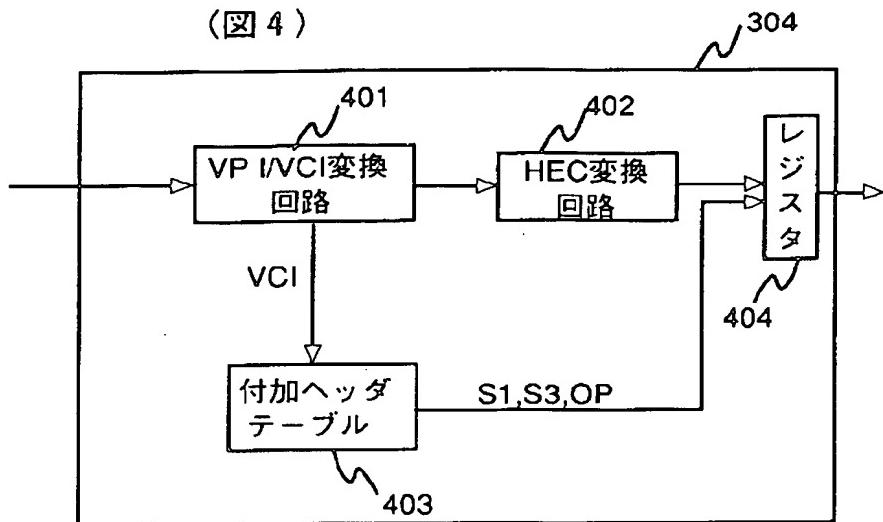
[図3]

(3)



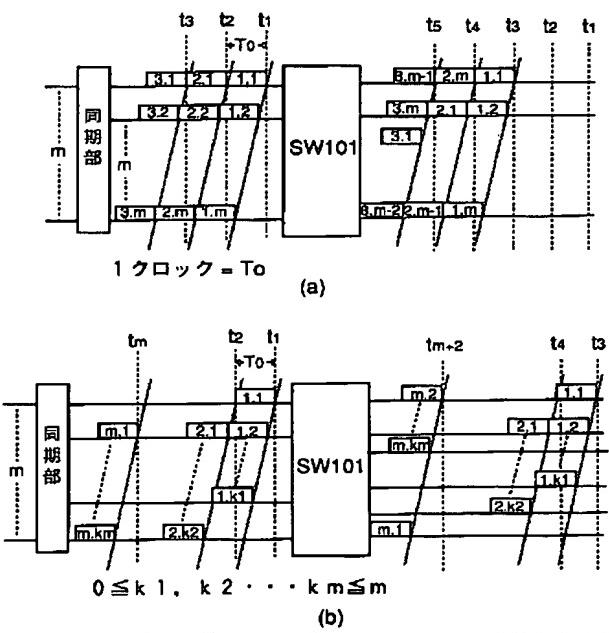
【図4】

(図4)



【図6】

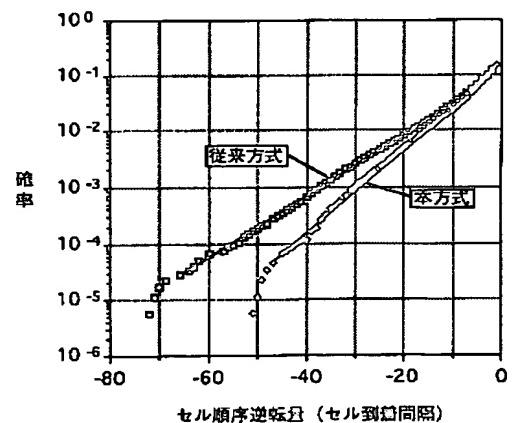
(図6)



■■■: 時刻 t_i に j 番目に SW101 に入力されるセル

【図10】

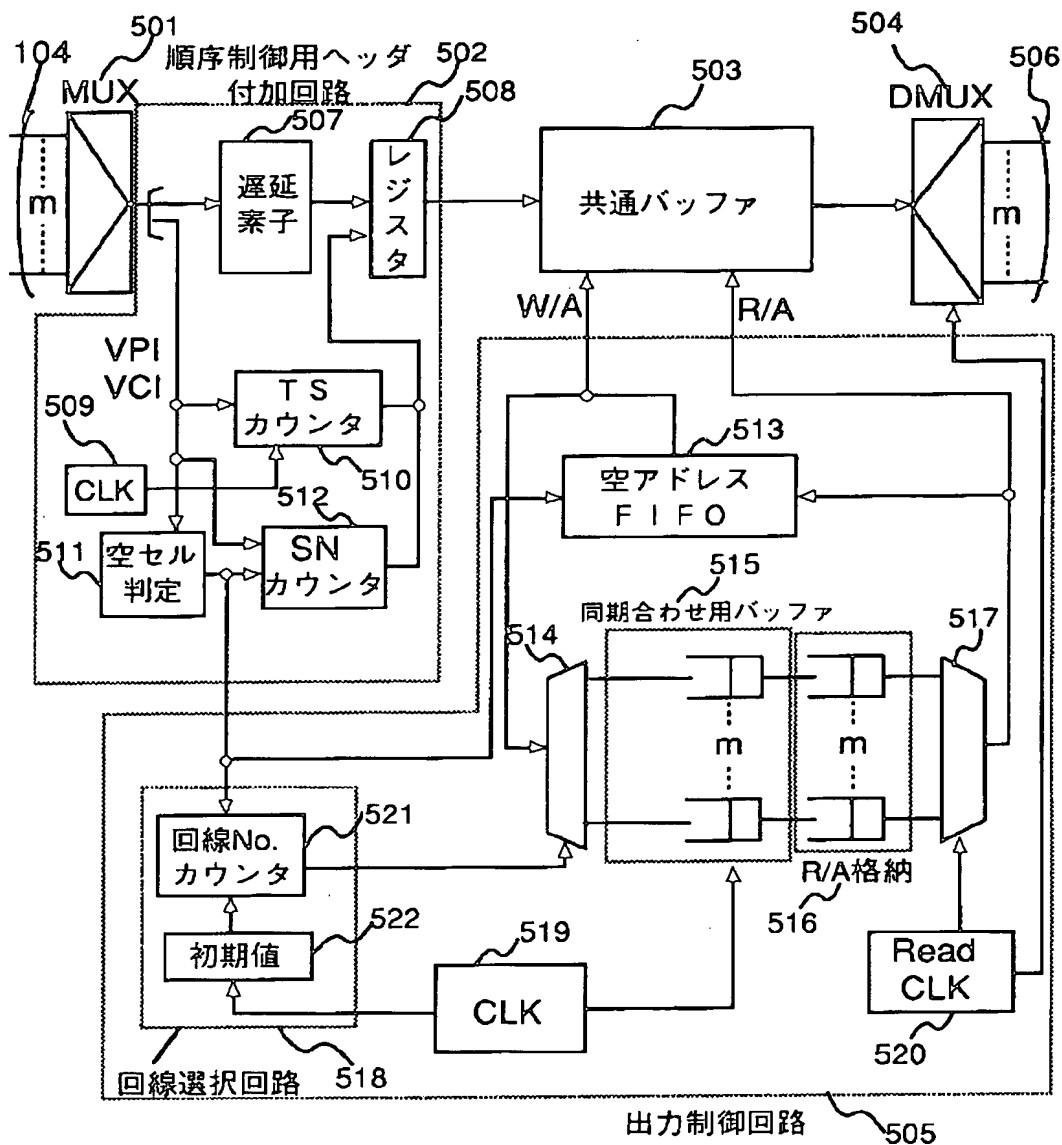
(図10)



シミュレーション条件
 スイッチサイズ 64×64
 單位スイッチサイズ 8×8
 多段数 16
 使用率 0.8
 平均バースト長 1.0
 バースト内セル間隔 2

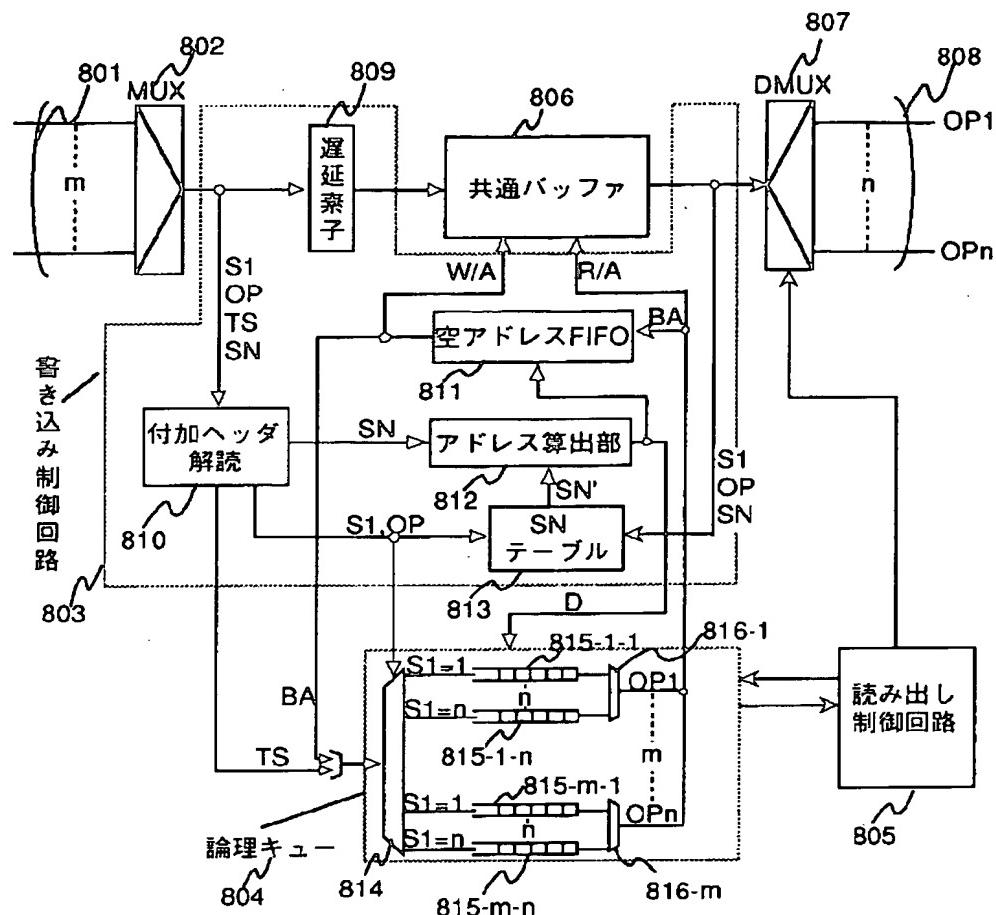
【図5】

(図5)



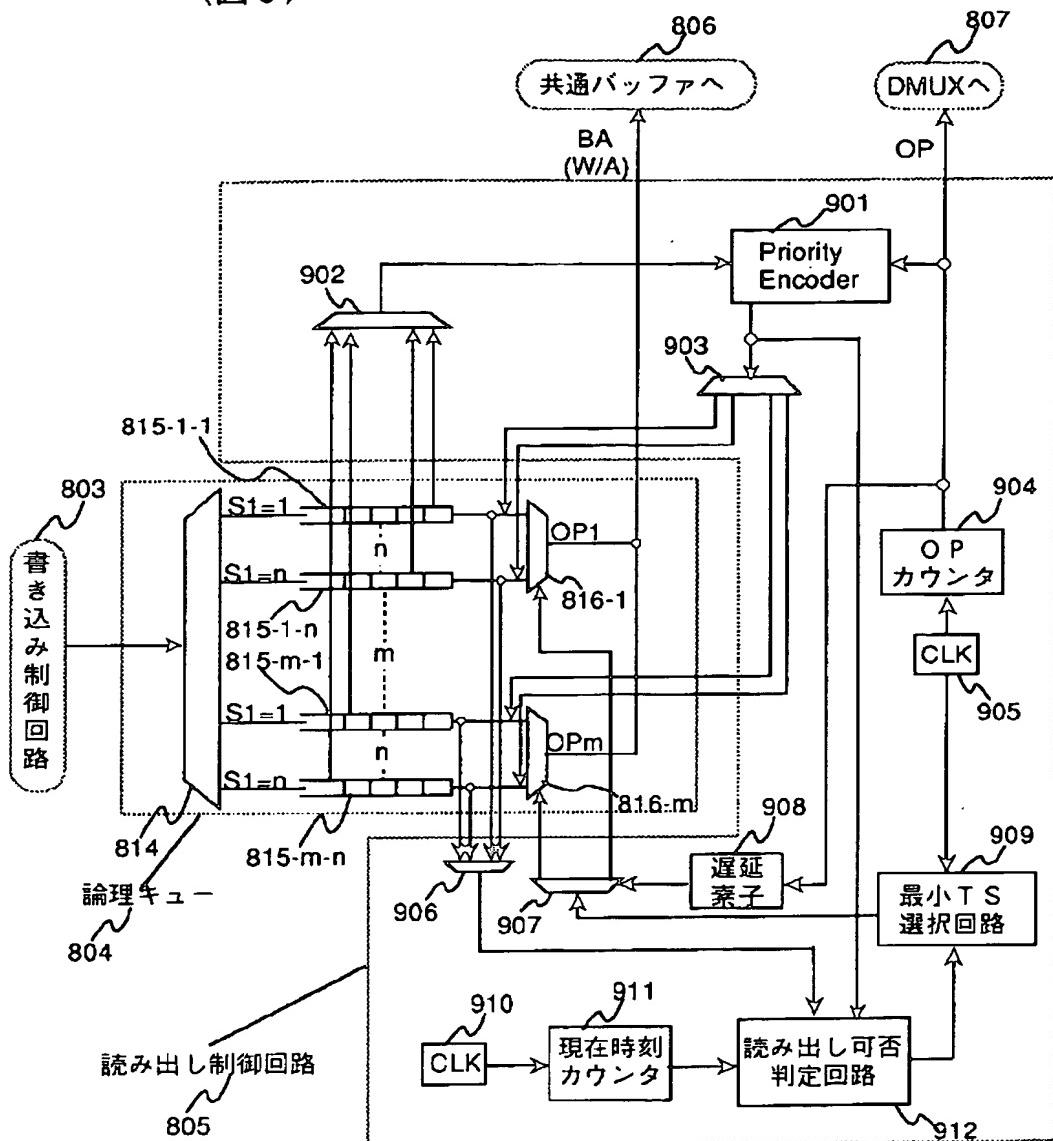
【図8】

(図8)



【図9】

(図9)



フロントページの続き

(72)発明者 田辺 史朗

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内